

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002368628 A
(43) Date of publication of application: 20.12.2002

(51) Int. Cl. H03M 13/41
G06F 11/10, H04L 1/00

(21) Application number: 2001175932
(22) Date of filing: 11.06.2001

(71) Applicant: NEC CORP
NIPPON TELEGR & TELEPH
CORP <NTT>
(72) Inventor: TAKAMICHI TORU
KIZAWA TAKESHI

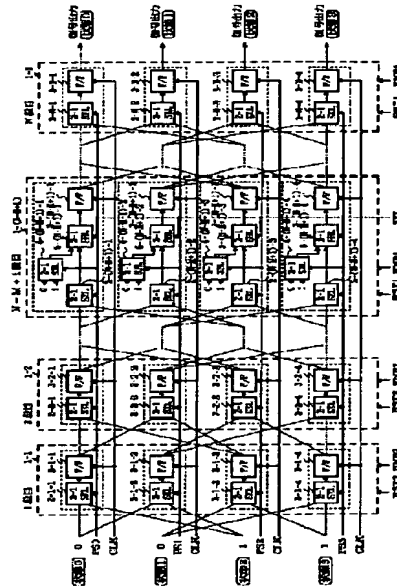
(54) VITERBI DECODER

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a Viterbi decoder that avoids processing delays accompanying a variable path memory length in its path memory circuit and wasteful power consumption by unused parts of the path memory.

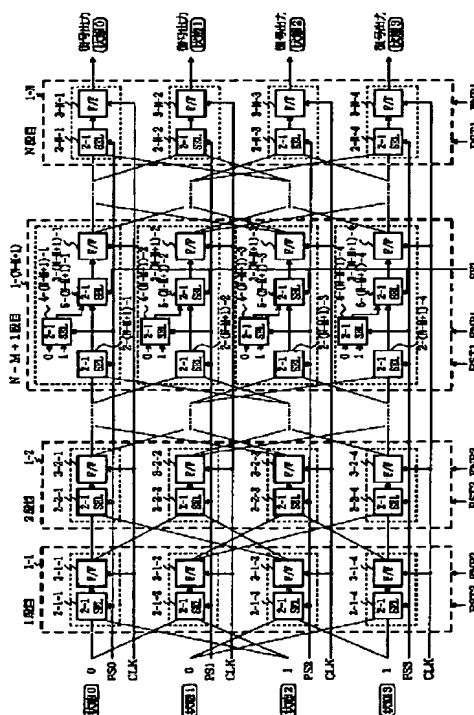
SOLUTION: The Viterbi decoder is configured so as to use an output timing of a storage circuit, as it is, without separate provision for a circuit for retiming attended with a variable path memory length, and not to operate flip-flop circuits of unused parts of the storage circuit.

COPYRIGHT: (C)2003,JPO



(11)特許出願公開番号
特開2002-368628
(P2002-368628A)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 3 M 13/41		H 0 3 M 13/41	5 B 0 0 1
G 0 6 F 11/10	3 3 0	G 0 6 F 11/10	3 3 0 N 5 J 0 6 5
H 0 4 L 1/00		H 0 4 L 1/00	B 5 K 0 1 4



【特許請求の範囲】

【請求項1】 N (N は正の整数) 段縦続接続された記憶回路を備え、

この記憶回路は、拘束長 k とするときに 2^{k-1} 個の記憶要素回路をそれぞれ含み、

この記憶要素回路は、到来する入力のうち“1”または“0”のいずれかの入力を選択する第一のセレクト回路とこの第一のセレクト回路の選択結果にしたがって

“1”または“0”のいずれかの出力を保持するフリップフロップ回路とを含むビタビ復号器において、

1以上の前記記憶回路に含まれる前記記憶要素回路には、1段目の前記記憶回路に到来する入力が接続される第二のセレクト回路と、前記第一のセレクト回路と前記フリップフロップ回路との間に介挿され前記第一のセレクト回路の出力またはこの第二のセレクト回路の出力のいずれかを選択する第三のセレクト回路とを備えたことを特徴とするビタビ復号器。

【請求項2】 $N-M+1$ (M は正の整数、 $N>M$) 段目の前記記憶回路に設けられた前記第三のセレクト回路が前記第二のセレクト回路の出力を選択したときには、1段目から $N-M$ 段目までの前記記憶回路の動作を停止させる手段を備えた請求項1記載のビタビ復号器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はビタビアルゴリズムを用いた最尤復号装置に利用する。ビタビアルゴリズムでは、あらかじめパスメモリ回路に設けられた複数のパスの中から尤度の優れるものを選択し、生き残りパスを得ることにより送信信号の誤り訂正を行うが、本発明は、このパスメモリ回路に設けられたパスの段数を可変する技術に関する。

【0002】

【従来の技術】 ビタビ復号器は、無線アクセスシステムや衛星通信システムなどの情報通信システムで、効率的に誤り訂正を行うために用いられる回路である。これは受信回路に配備され、ビタビアルゴリズムによる最尤復号法により、受信信号と、想定される送信信号とを比較して、想定される送信信号の中から最も確からしい系列を復号信号として採用し、誤り訂正を行う回路である。

【0003】 図3はビタビ復号器の構成例である。符号7はブランチメトリック計算回路、符号8はACS (Add Compare Select) 回路、符号9はメトリックメモリ回路、符号10はパスメモリ回路である。

【0004】 ブランチメトリック計算回路7には、送信側の畳み込み符号化器によって畳み込み処理が行われた2系列のデータ符号列 I_n と Q_n が、周期 f [Hz] のクロック信号 CLK に同期して入力される。このブランチメトリック計算回路7は、このビタビ復号器の拘束長を k とし、 2^k 本の枝 (ブランチ) 用のブランチメトリック信号 $BM_0 \sim BM_{(2^k-1)}$ を生成する。この

2^k 本のブランチメトリック信号は、ACS回路8に入力される。

【0005】 このACS回路8の中には拘束長 k によって定まる計 2^{k-1} 個の状態が規定され、ブランチメトリック計算回路7より入力されるブランチメトリック値 $BM_0 \sim BM_{(2^k-1)}$ およびメトリックメモリ回路9から入力される現在のメトリック値 $MP_0 \sim MP_{(2^{k-1}-1)}$ を用いて、各状態 $0 \sim 2^{k-1}-1$ 毎に新メトリック値 $MN_0 \sim MN_{(2^{k-1}-1)}$ を算出してメトリックメモリ回路9に対して出力するとともに、パスセレクト信号 $PS_0 \sim PS_{(2^{k-1}-1)}$ をパスメモリ回路10に対して出力する。このパスセレクト信号 $PS_0 \sim PS_{(2^{k-1}-1)}$ は、各状態 $0 \sim 2^{k-1}-1$ 毎に二つのメトリック値を算出して、そのメトリック値のうちの尤度の優れるものを示す選択信号であり、トレリス線図を考えたときに、このパスセレクト信号にしたがってパスを選んで行けば、生き残りパスが得られるものである。

【0006】 パスメモリ回路10は、ACS回路8からパスセレクト信号 $PS_0 \sim PS_{(2^{k-1}-1)}$ を受け取り、逐次その情報に基づいて受信データを保持して行く回路であり、生き残りパスを記憶する役割を持つ。

【0007】 図4は従来のパスメモリ回路の構成例を説明する図である。図4に示すパスメモリ回路は $11-1 \sim 11-N$ までの計 N 段 (N は任意の正の整数) の記憶回路が縦続接続されており、各記憶回路 $11-m$ (m は1以上、 N 以下の正の整数) は、 2^{k-1} 個の記憶要素回路 $12-m-1 \sim 12-m-2^{k-1}$ で構成される。つまり、各段 $11-m$ は、状態番号 $0 \sim 2^{k-1}-1$ に応じた記憶要素回路を有している。

【0008】 図4は拘束長 $k=3$ のパスメモリ回路構成を示しており、任意の m 段目のパスメモリ記憶回路 $11-m$ は、 $12-m-1 \sim 12-m-4$ の4個の記憶要素回路で構成されている。任意の記憶要素回路 $12-m-j$ (j は1以上 2^{k-1} 以下の正の整数) は、それぞれ1個の $2-1$ セレクト回路と1個のフリップフロップ回路で構成される。これらのフリップフロップ回路は周期 f [Hz] のクロック信号 CLK にしたがって動作する。また、各 $2-1$ セレクト回路も、CLK に同期したパスセレクト信号に基づいて動作し、任意の記憶要素回路 $12-m-j$ (j は1以上 2^{k-1} 以下の正の整数) の $2-1$ セレクト回路は、パスセレクト信号 $PS_{(j-1)}$ により切り替わる。

【0009】 このように、このパスメモリ回路は、 $N \times 2^{k-1}$ 個のフリップフロップ回路がクロック CLK の周期 f [Hz] 毎に同時動作し、逐次、次段の記憶回路に選択データ信号を転送してゆく。最終的に、最終段 $11-N$ の 2^{k-1} 個 (ここでは4個) の各状態番号の出力信号に、生き残りパスのデータが出力される。したがって、パスメモリ回路10での処理遅延は N クロックと

なる。

【0010】ビタビ復号器の復号データとして、 2^{k-1} 個の各状態番号の出力データ信号のうち、ACS回路でのメトリック値の尤度が最も優れるものと同一状態番号のデータを、このビタビ復号器の復号データ出力するML法(Maximum Likelihood法)や、記憶回路11-Nの 2^{k-1} 個の出力データ信号の内容のうち、“0”が過半数を占めるのか、“1”が過半数を占めるのかを1クロック毎に調べ、優勢な方のデータをこのビタビ復号器の復号データとして出力してゆくMJ法(Majority法)などがある。

【0011】次に、無線アクセスシステムの一つとして標準化活動が進められている、IEEE802.11a/D7.0(1999)の無線LAN(Local Area Network)システムについて説明する。図5はIEEE802.11a/D7.0で規定される無線LANシステムの変復調回路において使用されるパケットフレームのフォーマットを示した図である。

【0012】パケットフレームは24ビットのSIGNALシンボル領域と、ビット長可変のデータシンボル領域で構成される。SIGNALシンボル領域は、4ビット長のRATE領域、予備(Reserved)領域1ビット、12ビット長のLENGTH領域、パリティビット1ビット、およびTAILビット6ビットで構成される。一方、データシンボル領域は、SERVICE領域16ビット、可変ビット長のPSDU(PHY sublayer Service Data Units)領域、6ビット長のTAIL領域、可変ビット長のPAD領域で構成される。このうち、SIGNALシンボルのLENGTH領域には、データシンボルのPSDU領域のビット長が格納されており、RATE領域には、このデータシンボルの変調速度が格納されている。

【0013】変調回路では、SIGNALシンボル領域をBPSK(Binary Phase Shift Keying)方式で変調し、データシンボル領域は、SIGNALシンボルのRATE領域に記された変調速度にしたがって、BPSK方式、QPSK(Quadrature Phase Shift Keying)方式、16QAM(Quadrature Amplitude Modulation)方式、64QAM方式のいずれかの変調方式で変調を行う。

【0014】復調回路では、SIGNALシンボル領域はBPSK方式で復調し、データシンボル領域は、このSIGNALシンボル領域のRATE領域に記された変調速度に応じて、BPSK方式、QPSK方式、16QAM方式、64QAM方式により復調を行う。

【0015】図6は受信回路の構成例である。符号15は復調回路、符号16はビタビ復号器、符号17はRATE判定回路である。復調回路15はSIGNALシンボル領域をBPSK方式で復調する。復調されたSIGNALシンボル領域はビタビ復号器16に入力され、そ

こで誤り訂正を行った後に、RATE判定回路17に入力される。RATE判定回路17では、RATE領域を検出し、そこに書き込まれている変調速度を判定し、復調方式切替信号を復調回路15に対して出力する。また、ビタビ復号器16では、SIGNALシンボル領域の復号が終了すると、回路を全てリセットし、引き続き到着するデータシンボル領域の復号に備える。復調回路15は、復調方式切替信号にしたがって復調方式をBPSK方式、QPSK方式、16QAM方式、64QAM方式に切り替えて、データシンボル領域の復調を行う。復調されたデータシンボル領域もビタビ復号器16で誤り訂正され、データ信号として出力される。

【0016】ここで、ビタビ復号器16のバスマemory長として、60段以上の場合に誤り訂正能力が高まることが良く知られている。IEEE802.11aで規定される無線LANシステムでもバスマemory長を60段とする場合を考える。この場合に、データシンボル領域の復号では、データシンボルが60ビットよりも大きい場合は、60段あるバスマemoryが全て誤り訂正のために機能するが、SIGNAL領域の復号に際しては、SIGNALシンボル領域は24ビットしかないため、60段のうちのはじめの24段のみで誤り訂正が行われ、後ろの36段は機能せず、固定遅延としてSIGNALシンボル領域の出力を遅らせる働きをするのみである。

【0017】IEEE802.11aで規定される無線LANシステムは、アクセス方式としてCSMA/CA(Carrier Sense Multiple Access / Collision Avoidance)が使用されている。CSMA/CA方式では、送受信処理時間を短縮すると伝送効率が向上する。したがって、ビタビ復号器での処理遅延を短縮すると、無線LANシステムの伝送効率が向上する。特に、SIGNAL領域の復号遅延を短縮して、RATE判定回路17で速くRATEを検出し、早急に復調回路15に変調速度情報を転送することができれば、復調回路15では早めに復調方式の変更を行うことができる。しかし、ビタビ復号器での処理遅延が大きく、SIGNAL領域の復号に時間がかかり復調回路15になかなか変調速度情報が届かない場合は、復調回路15では、変調速度情報がRATE判定回路17より届くまで、データシンボル領域の復号開始を待ち、その結果、受信処理時間が伸び、伝送効率の低下を招く。

【0018】したがって、SIGNALシンボル領域の復号に際しては、ビタビ復号器16ではバスマemory長をSIGNALシンボル長にあわせて短くし、単に固定遅延としてのみ挿入される部分を使用しない構成として、復号遅延を短縮することが効果的である。

【0019】ビタビ復号器のバスマemory段数を変更する従来例として、公開特許公報昭63-166332号がある。図7に、その構成例を示す。全体のバスマemory長をN段として、M段目(Mは1以上N-1以下の正の整

数)の記憶回路11-Mの出力と、最終段である11-Nの出力を2-1セクタ回路13-1~13-4により、制御信号SELによって選択出力することで、パスメモリ長をN段もしくはM段に可変設定とするものである。符号14-1~14-4はフリップフロップ回路であり、リタイミングを行うことで、2-1セクタ回路によって生じる出力波形上のひげなどの誤パルスを除去するために配備する。

【0020】

【発明が解決しようとする課題】このような従来のパスメモリ長が可変のビタビ復号器の第一の問題点としては、復号遅延が大きいことが挙げられる。その理由は、図7のパスメモリ回路では、2-1セクタ回路13-1~13-4の出力をフリップフロップ回路14-1~14-4でリタイミングする必要があり、パスメモリ回路での処理遅延は、パスメモリ長がN段のときは、 $N+1$ クロック、パスメモリ長がM段のときは $M+1$ クロックとなる。

【0021】また、ここではパスメモリ長をN段とM段の長短2段階に設定する場合であるが、さらに、K種類(Kは3以上の正の整数)以上に設定する場合には、2-1セクタ回路13-1~13-4のかわりに、 $K-1$ セクタ回路を配備することになる。Kが大きく、そのセクタ動作が1クロック内に終了しない場合には、 $K-1$ セクタ回路中に、さらにフリップフロップ回路によるリタイミングが必要になり、処理遅延の増加が顕著になる。

【0022】CSMA/CA方式のように、処理遅延が伝送効率すなわちスループットに大きく影響を与えるアクセス方式では、この処理遅延の増大は問題である。

【0023】また、第二の問題点としては、消費電力が大きいことが挙げられる。その理由は、図7のパスメモリ回路では、パスメモリ長をM段の短設定とした場合であっても、N段の長設定時と同様にすべての段数のフリップフロップ回路が動作し、すなわち、短設定時には使用していない $M+1$ 段目からN段目のフリップフロップ回路まで動作し、無駄な消費電力を発生する。

【0024】本発明は、このような背景に行われたものであって、処理遅延を低減することができるパスメモリ長が可変なビタビ復号器を提供することを目的とする。本発明は、消費電力の低減を図ることができるパスメモリ長が可変なビタビ復号器を提供することを目的とする。

【0025】

【課題を解決するための手段】本発明は、パスメモリ長が可変でありながら、処理遅延を低減させることができる。すなわち、ビタビ復号器のパスメモリ回路をパスメモリ長可変設定構成とする場合に、リタイミングを行うための回路を別途設ける必要がなく、記憶回路の出力タイミングをそのまま用いることができるため、回路遅延

の増加無しに長短設定を行うことができる。特に、IEEE 802.11aで規定される無線LANシステムでは、パスメモリ長を長短設定できることが伝送効率を向上するためには不可欠であるが、本発明に基づいたパスメモリ回路では、パスメモリ回路での処理遅延が増加せずに、パスメモリ長を可変にできることから、復調回路の処理遅延が短くなり、回線使用率、すなわち伝送効率を向上することができる。したがって、無線LANシステムをはじめとする受信回路において伝送効率を向上することができる。

【0026】また、本発明は、パスメモリ回路での消費電力を低減することができる。すなわち、パスメモリ長を短設定とする場合に、イネーブル信号によって使用しない部分のフリップフロップ回路の動作を停止させることができる。パスメモリ回路は $N \times 2^{k-1}$ 個(Nは最大のパスメモリ段数、kは拘束長)のフリップフロップ回路を有し、通常は、その全てが1クロック毎に動作するため、消費電力は増加する。しかし、本発明に基づいたパスメモリ回路では、短設定でM段構成とした場合には、未使用の $(N-M) \times 2^{k-1}$ 個のフリップフロップ回路を停止させることができるため、その分、消費電力を低減することができる。この効果はMが小さく、また、拘束長kが大きい場合により顕著になる。なお、低消費電力化の結果として、例えば無線LAN装置のように携帯型パーソナルコンピュータや携帯端末中に該ビタビ復号器を含んだ受信回路を組み込み、このパーソナルコンピュータや携帯端末から電源を供給する場合には、このパーソナルコンピュータ装置あるいは携帯端末装置内のバッテリー装置などの電源装置の消費電力を減らすことができる。その結果として、このバッテリー装置の小型化や、長時間動作が可能になる。

【0027】すなわち、本発明は、N段縦続接続された記憶回路を備え、この記憶回路は、拘束長kとするときに 2^{k-1} 個の記憶要素回路をそれぞれ含み、この記憶要素回路は、到来する入力のうち“1”または“0”のいずれかの入力を選択する第一のセクタ回路とこの第一のセクタ回路の選択結果にしたがって“1”または“0”のいずれかの出力を保持するフリップフロップ回路とを含むビタビ復号器である。

【0028】ここで、本発明の特徴とするところは、1以上の前記記憶回路に含まれる前記記憶要素回路には、1段目の前記記憶回路に到来する入力が接続される第二のセクタ回路と、前記第一のセクタ回路と前記フリップフロップ回路との間に介挿され前記第一のセクタ回路の出力またはこの第二のセクタ回路の出力のいずれかを選択する第三のセクタ回路とを備えたところにある。

【0029】 $N-M+1$ 段目の前記記憶回路に設けられた前記第三のセクタ回路が前記第二のセクタ回路の出力を選択したときには、1段目から $N-M$ 段目までの

前記憶回路の動作を停止させる手段を備えることが望ましい。

【0030】これにより、本発明では、パスメモリ長の短設定であるM段時と、長設定であるN段時のパスメモリ回路での処理遅延を、それぞれMクロックとNクロックとすることができる。

【0031】また、パスメモリ長の短設定（M段設定）時には、1段目からN-M段目までの記憶回路の動作を停止することによって、 $N \times 2^{k-1}$ 個あるフリップフロップ回路のうち、 $(N-M) \times 2^{k-1}$ 個のフリップフロップ回路の動作を停止させることができる。その分、パスメモリ長の短設定時には、無駄な回路動作が起こらず、消費電力を低減することができる。この効果は、拘束長kが大きく、短設定時のパスメモリ段数Mが小さいほど顕著になる。

【0032】

【発明の実施の形態】（第一実施例）本発明第一実施例のパスメモリ回路の構成を図1を参照して説明する。図1は本発明第一実施例のビタビ復号器に用いられるパスメモリ長をN段、M段（ $N > M$ ；いずれも正の整数）の2段階に設定可能な、パスメモリ回路のブロック構成図である。拘束長 $k = 3$ である。

【0033】本発明は、図1に示すように、N段縦続接続された記憶回路1-1～1-Nを備え、この記憶回路1-1～1-Nは、拘束長3とするとときに4個の記憶要素回路をそれぞれ含み、この記憶要素回路は、到来する入力のうち“1”または“0”のいずれかの入力を選択する第一の2-1セクタ回路2-1-1～2-N-4とこの2-1セクタ回路2-1-1～2-N-4の選択結果にしたがって“1”または“0”のいずれかの出力を保持するフリップフロップ回路3-1-1～3-N-4とを含むビタビ復号器である。

【0034】ここで、本発明の特徴とするところは、N-M+1段目の記憶回路1-(N-M+1)に含まれる前記記憶要素回路には、1段目の記憶回路1-1への入力と同等の入力信号が接続される第二の2-1セクタ回路4-(N-M+1)-1～4と、2-1セクタ回路2-(N-M+1)-1～4とフリップフロップ回路3-(N-M+1)-1～4との間に介挿され2-1セクタ回路2-(N-M+1)-1～4の出力またはこの2-1セクタ回路4-(N-M+1)-1～4の出力のいずれかを選択する第三の2-1セクタ回路5-(N-M+1)-1～4とを備えたところにある。

【0035】本発明第一実施例のビタビ復号器は、パスメモリ長を長設定（N段）と短設定（M段；Mは1以上、N未満の正の整数）に設定可能なパスメモリ回路の実施例であり、拘束長 $k = 3$ の例である。

【0036】1-m（mを1以上、N以下の正の整数）は、パスメモリm段目の記憶回路であり、1段目からN段目まで縦続接続されている。各段の記憶回路1-mは

状態番号0～3に応じた記憶要素回路を有している。jを1以上、4（ $= 2^{k-1}$ ）以下の正の整数として、符号2-m-jは、m段目の状態番号jの2-1セクタ回路である。また、符号3-m-jは、m段目の状態番号jのフリップフロップ回路である。

【0037】そして、N-M+1段目である記憶回路1-(N-M+1)にのみ、パスメモリ信号PS0～PS3に基づいて“0”または“1”を選択出力する2-1セクタ回路4-(N-M+1)-1～4および制御信号SELに基づいて2-1セクタ回路2-(N-M+1)-1～4の出力信号または2-1セクタ回路4-(N-M+1)-1～4の出力信号を選択する2-1セクタ回路5-(N-M+1)-1～4を配備した構成である。

【0038】また、N-M+1段目からN段目のフリップフロップ回路3-(N-M+1)-1～3-N-4には、イネーブル信号ENB1とリセット信号RST1を入力し、1段目からN-M段目のフリップフロップ回路3-1-1～3-(N-M)-4には、イネーブル信号ENB2およびリセット信号2を入力する。

【0039】イネーブル信号ENB1は常時動作可能設定としてもよいし、図6の復調回路15でSIGNALシンボル領域もしくはデータシンボル領域を受信開始すると同時に動作可能設定に切り替えてもよい。また、イネーブル信号ENB2は、SEL信号によって制御を行い、長設定時は動作可能設定、短設定時は動作停止状態に設定してもよい。あるいは、復調回路15でデータシンボル領域を受信開始すると同時に動作可能設定に切り替えてもよい。

【0040】リセット信号RST1とリセット信号RST2は同一信号としてもよいが、IEEE802.11aで規定された無線LANの受信機に用いる場合には、RST1はSIGNALシンボル領域の受信開始直前もしくは直後、および、データシンボル領域の受信開始直前もしくは直後に動作して、フリップフロップ回路をリセットする構成とし、一方、リセット信号RST2は、データシンボル領域受信開始直前もしくは直後に動作して、フリップフロップ回路をリセットする構成としてもよい。

【0041】次に、本発明第一実施例のビタビ復号器の動作を説明する。まず、制御信号SELがパスメモリ短設定であるときを説明する。N-M+1段目の記憶回路1-(N-M+1)の2-1セクタ回路5-(N-M+1)-1～5-(N-M+1)-4は、2-1セクタ回路4-(N-M+1)-1～4-(N-M+1)-4からの出力を選択する。これにより、N-M+1段目～N段目までの記憶回路1-(N-M+1)～1-Nを用いた、パスメモリ長M段のパスメモリ回路が構成される。

【0042】この記憶回路1-(N-M+1)～1-N

は、パセレクト信号 $PS0 \sim PS3$ にしたがって、1クロック CLK 毎にパス選択結果を次段に逐次転送してゆく。そして、最終段の記憶回路 $1-N$ の出力に復号結果出力が得られる。一連の入力データ系列の復号が終了したら、リセット信号 $RST1$ によって、フリップフロップ回路 $3-(N-M+1)-1 \sim 3-N-4$ をリセットする。

【0043】一方、1段目から $N-M$ 段目までの記憶回路 $1-1 \sim 1-(N-M)$ は機能しなくてもよい、イネーブル信号 $ENB2$ によって、そのフリップフロップ回路 $3-1-1 \sim 3-(N-M)-4$ の動作を停止させる。

【0044】IEEE802.11aの packets フレームで考えると、まず $SIGNAL$ シンボル領域が入力される時にはビット長が24ビットであり、24段あれば復号が完了するので $M=24$ となる。記憶回路 $1-(N-M+1) \sim 1-N$ を用いた $SIGNAL$ 領域24ビットの復号が完了すると、リセット信号 $RST1$ によって、フリップフロップ回路 $3-(N-M+1)-1 \sim 3-N-4$ をリセットする。

【0045】次に、制御信号 SEL がパスメモリ長設定であるときを説明する。 $N-M+1$ 段目の記憶回路 $1-(N-M+1)$ の2-1セクタ回路 $5-(N-M+1)-1 \sim 5-(N-M+1)-4$ は、2-1セクタ回路 $2-(N-M+1)-1 \sim 2-(N-M+1)-4$ からの出力を選択する。これによって、1段目～ N 段目までの記憶回路 $1-1 \sim 1-N$ を用いた、パスメモリ長 N 段のパスメモリ回路が構成される。この場合には、1段目から $N-M$ 段目までの記憶回路 $1-1 \sim 1-(N-M)$ のイネーブル信号は解除して、動作可能設定にする。

【0046】この記憶回路 $1-1 \sim 1-N$ は、パセレクト信号 $PS0 \sim PS3$ にしたがって、1クロック CLK 毎にパス選択結果を次段に逐次転送してゆく。そして、最終段の記憶回路 $1-N$ の出力に復号結果出力が得られる。一連の入力データ系列の復号が終了したら、リセット信号 $RST1$ によって、フリップフロップ回路 $3-1-1 \sim 3-N-4$ をリセットする。

【0047】IEEE802.11aの packets フレームで考えると、データシンボル領域の復号に相当し、データ領域の復号動作が終了したら、リセット信号 $RST1$ および $RST2$ によって、フリップフロップ回路 $3-1-1 \sim 3-N-4$ をリセットする。

【0048】(第二実施例) 本発明第二実施例のパスメモリ回路の構成を図2を参照して説明する。図2は本発明第二実施例のビタビ復号器に用いられるパスメモリ長を N 段、 L 段、 M 段 ($N > L > M$; いずれも正の整数) の3段階に設定可能な、パスメモリ回路のブロック構成図である。拘束長 $k=3$ である。

【0049】符号 $1-m$ (m を1以上、 N 以下の正の整

数) は、パスメモリ m 段目の記憶回路であり、1段目から N 段目まで縦続接続されている。各段の記憶回路 $1-m$ は状態番号 $0 \sim 3$ に応じた記憶要素回路を有しており、 j を1以上、 $4 (=2^k-1)$ 以下の正の整数として、符号 $2-m-j$ は、 m 段目の状態番号 j の2-1セクタ回路である。また、符号 $3-m-j$ は、 m 段目の状態番号 j のフリップフロップ回路である。

【0050】そして、 $N-M+1$ 段目である記憶回路 $1-(N-M+1)$ には、パセレクト信号 $PS0 \sim PS3$ に基づいて“0”と“1”を選択出力する2-1セクタ回路 $4-(N-M+1)-1 \sim 4$ および制御信号 $SEL1$ に基づいて2-1セクタ回路 $2-(N-M+1)-1 \sim 4$ の出力信号および2-1セクタ回路 $4-(N-M+1)-1 \sim 4$ の出力信号を選択する2-1セクタ回路 $5-(N-M+1)-1 \sim 4$ を配備した構成である。

【0051】また、 $N-L+1$ 段目である記憶回路 $1-(N-L+1)$ にもパセレクト信号 $PS0 \sim PS3$ に基づいて“0”と“1”を選択出力する2-1セクタ回路 $4-(N-L+1)-1 \sim 4$ および制御信号 $SEL2$ に基づいて2-1セクタ回路 $2-(N-L+1)-1 \sim 4$ の出力信号および2-1セクタ回路 $4-(N-L+1)-1 \sim 4$ の出力信号を選択する2-1セクタ回路 $5-(N-L+1)-1 \sim 4$ を配備した構成である。

【0052】そして、 $N-M+1$ 段目から N 段目のフリップフロップ回路 $3-(N-M+1)-1 \sim 3-N-4$ には、イネーブル信号 $ENB1$ とリセット信号 $RST1$ を入力し、 $N-L+1$ 段目から $N-M$ 段目のフリップフロップ回路 $3-(N-L+1)-1 \sim 3-(N-M)-4$ には、イネーブル信号 $ENB2$ とリセット信号 $RST2$ を入力し、1段目から $N-L$ 段目のフリップフロップ回路 $3-1-1 \sim 3-(N-L)-4$ には、イネーブル信号 $ENB3$ およびリセット信号 3 を入力する。

【0053】イネーブル信号 $ENB1$ は常時動作可能設定としてもよいし、このビタビ復号器16に packets フレームが入力されているときは常時動作可能設定としてもよい。イネーブル信号 $ENB2$ は、制御信号 $SEL1$ がパスメモリ長 M 段設定のときは動作停止設定としてよい。また、イネーブル信号 $ENB3$ は、制御信号 $SEL2$ がパスメモリ長 L 段設定のときは動作停止設定としてよい。また、リセット信号 $RST1$ と $RST2$ および $RST3$ は同一信号としてもよい。

【0054】次に、本発明第二実施例のパスメモリ回路の動作を図2を参照して説明する。まず、制御信号 $SEL1$ がパスメモリ M 段設定であるときを説明する。 $N-M+1$ 段目の記憶回路 $1-(N-M+1)$ の2-1セクタ回路 $5-(N-M+1)-1 \sim 4$ は、2-1セクタ回路 $4-(N-M+1)-1 \sim 4$ からの出力を選択する。これにより、 $N-M+1$ 段目～ N 段目までの記憶回

路 $1 - (N - M + 1) \sim 1 - N$ を用いたパスメモリ長 M 段のパスメモリ回路が構成される。

【0055】この記憶回路 $1 - (N - M + 1) \sim 1 - N$ は、パセレクト信号 $PS0 \sim PS3$ にしたがって、1クロック CLK 毎にパス選択結果を次段に逐次転送してゆく。そして、最終段の記憶回路 $1 - N$ の出力に復号結果出力が得られる。データ系列の復号が終了したら、リセット信号 $RST1$ により、フリップフロップ回路 $3 - (N - M + 1) - 1 \sim 3 - N - 4$ をリセットする。

【0056】一方、1段目から $N - M$ 段目までの記憶回路 $1 - 1 \sim 1 - (N - M)$ は機能しなくてもよい。イネーブル信号 $ENB2$ および $ENB3$ によって、そのフリップフロップ回路 $3 - 1 - 1 \sim 3 - (N - M) - 4$ の動作を停止させる。

【0057】次に、制御信号 $SEL1$ および $SEL2$ がパスメモリ L 段設定であるときを説明する。この場合、 $N - M + 1$ 段目の記憶回路 $1 - (N - M + 1)$ の $2 - 1$ セクタ回路 $5 - (N - M + 1) - 1 \sim 4$ は、 $2 - 1$ セクタ回路 $2 - (N - M + 1) - 1 \sim 4$ からの出力を選択する。そして、 $N - L + 1$ 段目の記憶回路 $1 - (N - L + 1)$ の $2 - 1$ セクタ回路 $5 - (N - L + 1) - 1 \sim 4$ は、 $2 - 1$ セクタ回路 $4 - (N - L + 1) - 1 \sim 4$ からの出力を選択する。これにより、 $N - L + 1$ 段目 $\sim N$ 段目までの記憶回路 $1 - (N - L + 1) \sim 1 - N$ を用いた、パスメモリ長 L 段のパスメモリ回路が構成される。

【0058】この記憶回路 $1 - (N - L + 1) \sim 1 - N$ は、パセレクト信号 $PS0 \sim PS3$ にしたがって、1クロック CLK 毎にパス選択結果を次段に逐次転送してゆく。そして、最終段の記憶回路 $1 - N$ の出力に復号結果出力が得られる。データ系列の復号が終了したら、リセット信号 $RST1$ および $RST2$ により、フリップフロップ回路 $3 - (N - L + 1) - 1 \sim 3 - N - 4$ をリセットする。

【0059】一方、1段目から $N - L$ 段目までの記憶回路 $1 - 1 \sim 1 - (N - L)$ は機能しなくてもよい。イネーブル信号 $ENB3$ によって、そのフリップフロップ回路 $3 - 1 - 1 \sim 3 - (N - L) - 4$ の動作を停止させる。

【0060】最後に、制御信号 $SEL1$ および $SEL2$ がパスメモリ N 段設定であるときを説明する。この場合、 $N - M + 1$ 段目の記憶回路 $1 - (N - M + 1)$ の $2 - 1$ セクタ回路 $5 - (N - M + 1) - 1 \sim 4$ は、 $2 - 1$ セクタ回路 $2 - (N - M + 1) - 1 \sim 2 - 4$ からの出力を選択する。また、 $N - L + 1$ 段目の記憶回路 $1 - (N - L + 1)$ の $2 - 1$ セクタ回路 $5 - (N - L + 1) - 1 \sim 4$ も $2 - 1$ セクタ回路 $2 - (N - L + 1) - 1 \sim 4$ からの出力を選択する。これにより、1段目 $\sim N$ 段目までの記憶回路 $1 - 1 \sim 1 - N$ を用いた、パスメモリ長 N 段のパスメモリ回路が構成される。

【0061】この記憶回路 $1 - 1 \sim 1 - N$ は、パセレクト信号 $PS0 \sim PS3$ にしたがって、1クロック CLK 毎にパス選択結果を次段に逐次転送してゆく。そして、最終段の記憶回路 $1 - N$ の出力に復号結果出力が得られる。データ系列の復号が終了したら、リセット信号 $RST1$ および $RST2$ および $RST3$ により、フリップフロップ回路 $3 - 1 - 1 \sim 3 - N - 4$ をリセットする。

【0062】以上はパスメモリ長を3段階に設定可能な場合の構成例であるが、同様に、4段階以上に設定可能なパスメモリ回路に適用してもよい。

【0063】また、本発明第一および第二実施例は、拘束長 $k = 3$ の場合の実施例であるが、拘束長 k を4以上とする場合にも用いてもよい。

【0064】

【発明の効果】以上説明したように、本発明によれば、処理遅延を低減することができるとともに、消費電力の低減を図ることができる。

【図面の簡単な説明】

【図1】本発明第一実施例のパスメモリ回路のブロック構成図。

【図2】本発明第二実施例のパスメモリ回路のブロック構成図。

【図3】ビタビ復号器のブロック構成図。

【図4】従来のパスメモリ回路のブロック構成図。

【図5】IEEE 802.11aに規定される無線LANシステムの packets フレーム構成を説明する図。

【図6】IEEE 802.11aの無線LANシステム受信器のブロック構成図。

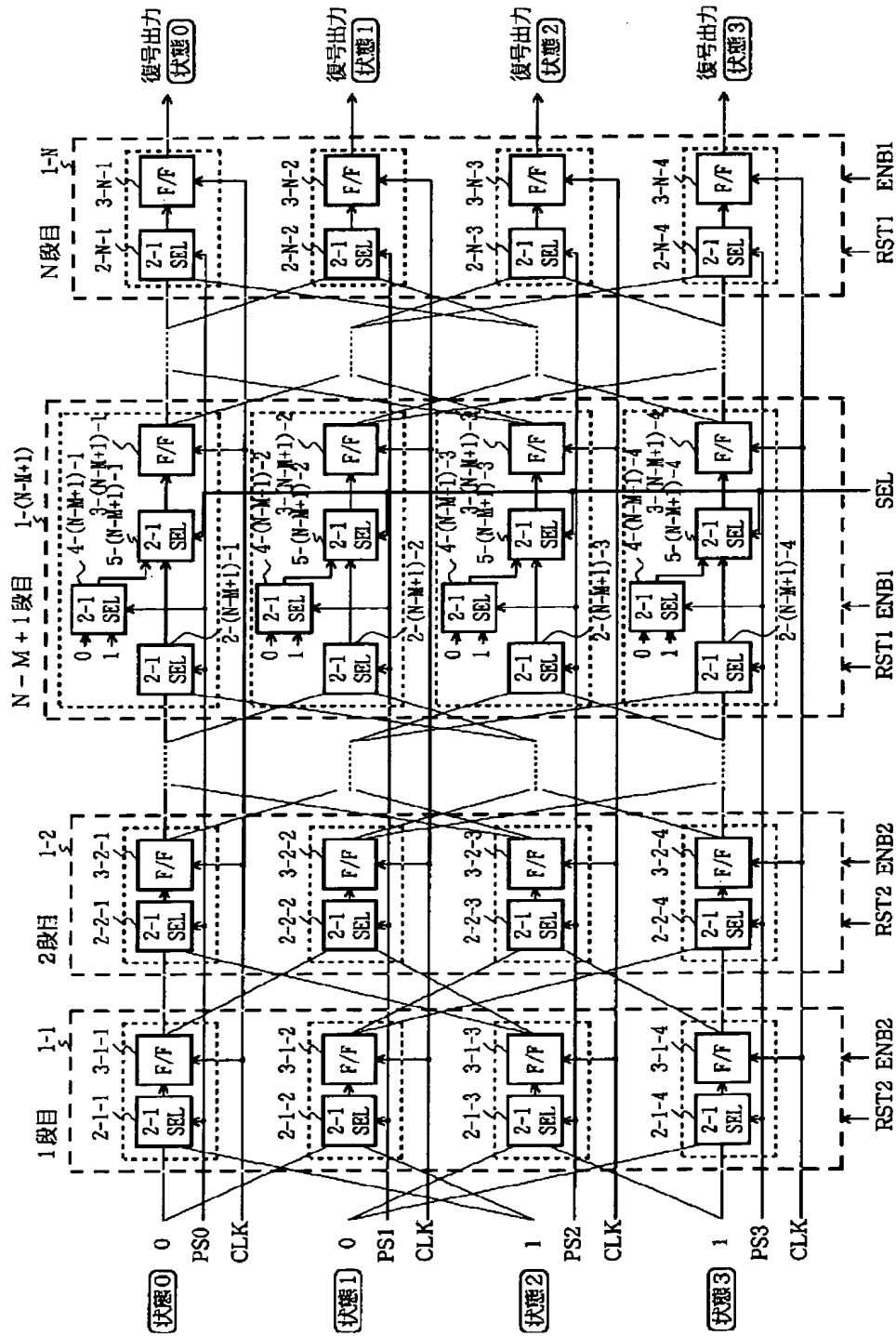
【図7】従来の可変長パスメモリ回路のブロック構成図。

【符号の説明】

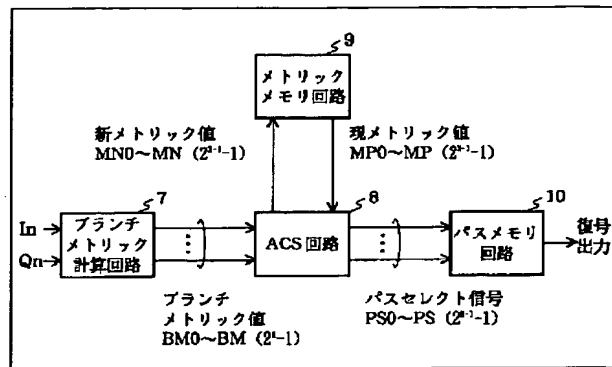
- 1 - m パスメモリの m 段目の記憶回路
- 2 - m - j パスメモリ m 段目の状態番号 j における $2 - 1$ セクタ回路
- 3 - m - j パスメモリ m 段目の状態番号 j におけるフリップフロップ回路
- 4 - (N - M + 1) - 1 パスメモリ $N - M + 1$ 段目の $2 - 1$ セクタ回路
- 5 - (N - M + 1) - 1 パスメモリ $N - M + 1$ 段目の $2 - 1$ セクタ回路
- 7 ブランチメトリック計算回路
- 8 ACS回路
- 9 メトリックメモリ回路
- 10 パスメモリ回路
- 11 - 1 \sim 11 - N パスメモリの各段の記憶回路
- 12 - 1 - 1 \sim 12 - N - 4 各段内の記憶要素回路
- 13 - 1 \sim 13 - 4 $2 - 1$ セクタ回路
- 14 - 1 \sim 14 - 4 フリップフロップ回路
- 15 復調回路
- 16 ビタビ復号器

17 RATE判定回路

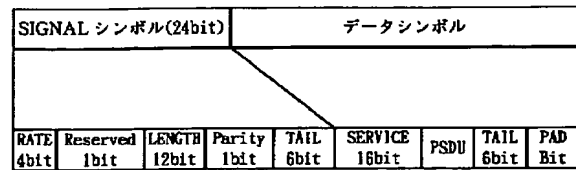
【図1】



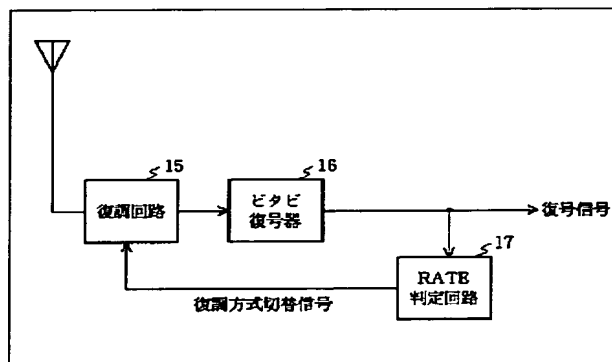
【図 3】



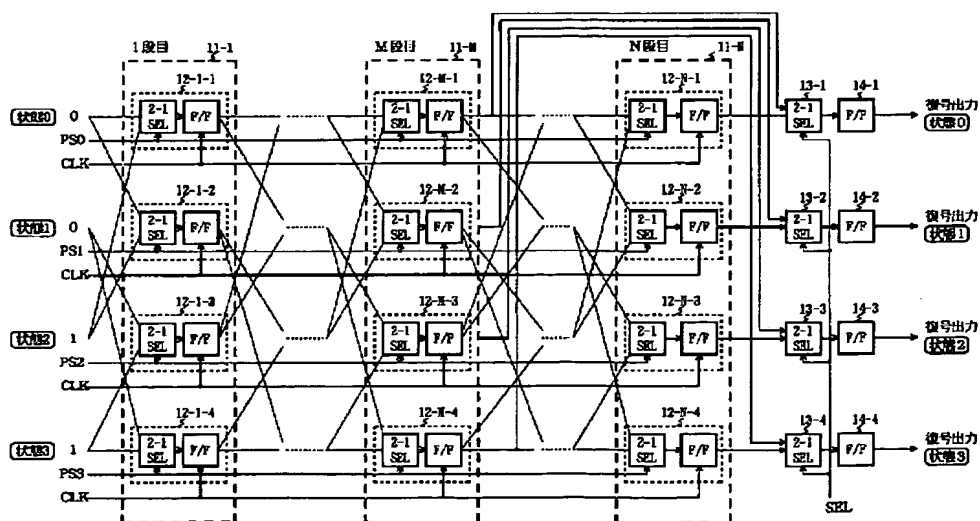
【図 5】



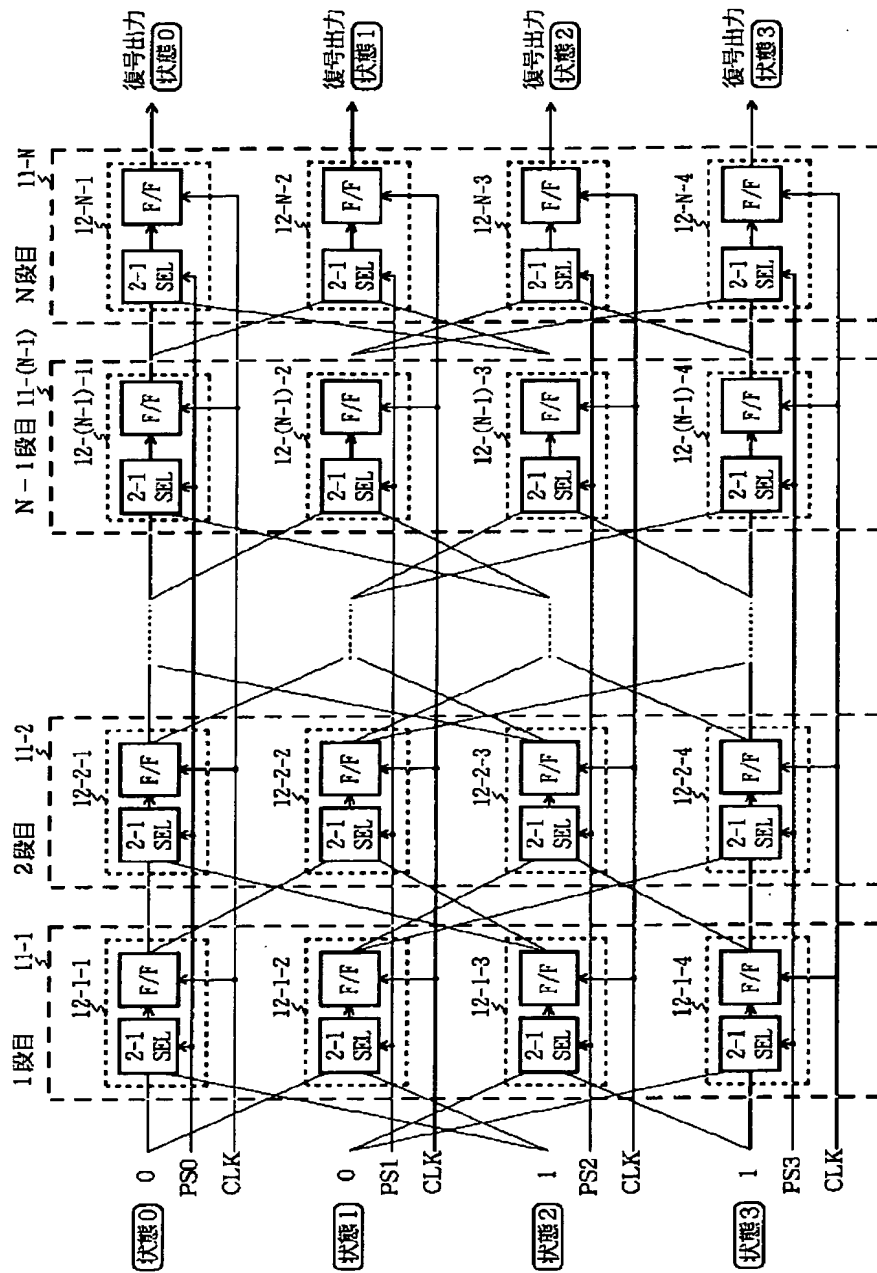
【図 6】



【図 7】



【図4】



フロントページの続き

(72) 発明者 鬼沢 武
東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内

F ターム(参考) 5B001 AA10 AB05 AC01 AD06 AE02
5J065 AA01 AB01 AC02 AD10 AE06
AF01 AF03 AG05 AH06 AH23
5K014 AA01 BA11 EA01 HA01